

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2006年2月2日 (02.02.2006)

PCT

(10) 国際公開番号
WO 2006/011198 A1

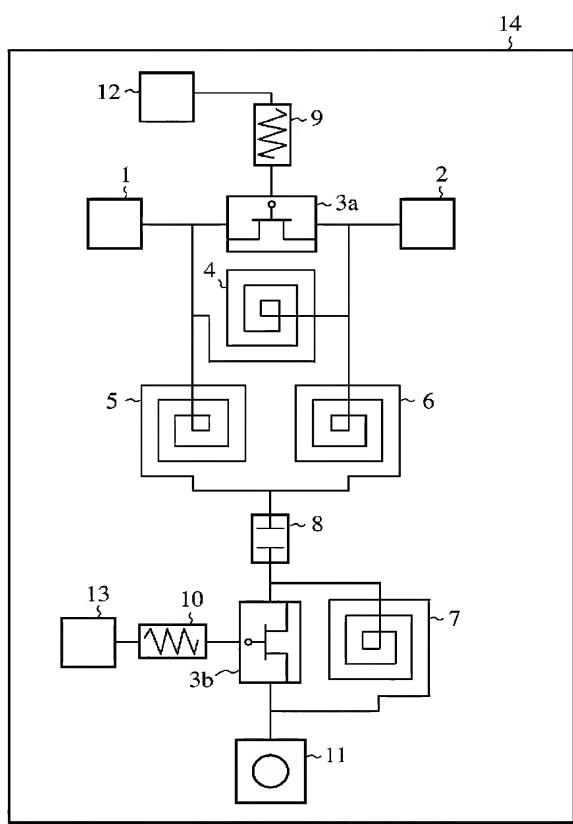
(51) 国際特許分類⁷: H03H 7/20, H01P 1/12, H01H 59/00
 (21) 国際出願番号: PCT/JP2004/010666
 (22) 国際出願日: 2004年7月27日 (27.07.2004)
 (25) 国際出願の言語: 日本語
 (26) 国際公開の言語: 日本語
 (71) 出願人(米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP).
 (72) 発明者; および
 (75) 発明者/出願人(米国についてのみ): 宮口 賢一 (MIYAGUCHI, Kenichi) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP). 檜枝 譲重 (HIEDA, Morishige) [JP/JP];

〒1008310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP). 西野 有 (NISHINO, Tamotsu) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP). 半谷 政毅 (HANGAI, Masatake) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP). 宮▲崎▼守▲泰▼ (MIYAZAKI, Moriyasu) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP). 吉田 幸久 (YOSHIDA, Yukihisa) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP). 高木 直 (TAKAGI, Tadashi) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP). 畑本 幹夫 (HATAMOTO, Mikio) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP).

/ 続葉有 /

(54) Title: PHASE SHIFT CIRCUIT AND MULTIBIT PHASE SHIFTER

(54) 発明の名称: 移相回路および多ビット移相器



(57) **Abstract:** A first parallel circuit, consisting of a first inductor and a first switching element to exhibit a through state when turned on and to exhibit a capacitive state when turned off and performing parallel resonance at a specified frequency when the first switching element is turned off, is connected between the input and output terminals for a high frequency signal, a series circuit of second and third inductors is connected in parallel with that circuit and one end of a capacitor is connected with the joint of the second and third inductors; a second parallel circuit, consisting of a fourth inductor and a second switching element to exhibit a through state when turned on and to exhibit a capacitive state when turned off and performing parallel resonance at a specified frequency when the second switching element is turned off, is connected between the other end of the capacitor and the ground; and switching is made between an operating mode for turning the first switching element on and turning the second switching element off and an operating mode for turning the first switching element off and turning the second switching element on.

(57) **要約:** 高周波信号の入出力端子間に、オン時にスルー状態を呈し、オフ時に容量性を呈する第1のスイッチング素子と第1のインダクタとからなり、当該第1のスイッチング素子のオフ時に所定の周波数で並列共振する第1の並列回路を接続し、この回路と並列に第2と第3のインダクタからなる直列回路を接続し、第2と第3のインダクタの接続点にキャパシタの一端を接続し、キャパシタの他端とグランド間に、オン時にスルー状態を呈し、オフ時に容量性を呈する第2のスイッチング素子と第4のインダクタからなり、当該第2のスイッチング素子のオフ時に所定の周波数で並列共振する第2の並列回路を接続し、第1のスイッチング素子をオン状態に、かつ第2のスイッチング素子をオフ状態に設定する動作モードと、第1のスイッチング素子をオフ状態に設定する動作モードと切り替え形成する。

WO 2006/011198 A1



(74) 代理人: 田澤 博昭, 外(TAZAWA, Hiroaki et al.); 〒1000013 東京都千代田区霞が関三丁目7番1号 大東ビル7階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

移相回路および多ビット移相器

技術分野

[0001] この発明は、小型かつ低損失な移相回路および多ビット移相器に関するものである。

背景技術

[0002] 図28は、IEEE IMS2000 Proceedings, "A Compact 5-Bit Phase Shifter MMIC for K-Band Satellite Communication Systems" C.F Campbell and S.A.Brownに掲載された従来の移相回路の構成を示す回路図である。図において、移相回路は、高周波信号入力端子101、高周波信号出力端子102、第1の電界効果トランジスタ(以下、FETと略す)103、第2のFET104、第1のインダクタ105、第2のインダクタ106、第3のインダクタ107、キャパシタ108、グランド109で構成されている。

この回路で、電界効果トランジスタ(以下、FETとする。)103は、オン状態とオフ状態を切り替えるスイッチとして動作する。FET103のドレイン電圧およびソース電圧と同電位の電圧をゲート端子に印加すると、FET103はオン状態となり抵抗性(以下、オン抵抗という)を示す。一方、ピンチオフ電圧以下の電圧をゲート端子に印加すると、FET103はオフ状態となり容量性(以下、オフ容量という)を示す。もう一方のFET104もFET103と同様の動作をする。

[0003] 図29は、図28の移相回路において、FET103をオフ状態、FET104をオン状態としたときの等価回路示す回路図である。ここで、110はFET103のオフ容量とキャパシタ108の合成容量を表し、111はFET104のオン抵抗を表したものである。このとき、図29に示される等価回路は、合成容量110、インダクタ105およびインダクタ106とから構成される高域通過フィルタ(以下、HPFとする。)とみなすことができる。高周波信号入力端子101から入力された高周波信号は、このHPFにより位相進みが生じて、高周波信号出力端子102から出力される。

[0004] 図30は、図28の移相回路において、FET103をオン状態、FET104をオフ状態としたときの等価回路図示す回路図である。ここで、112は第1のFET103のオン抵抗

を表し、113は第2のFET104のオフ容量を表している。インダクタ107とオフ容量113から成る並列回路は、所望の周波数 f_0 で並列共振状態となるように設定されている。このとき、図30に示される等価回路は、インダクタ105とインダクタ106が示すリアクタンスがオン抵抗112に対して十分大きいとすると、周波数 f_0 近傍の高周波信号を通過させる帯域通過フィルタ(以下、BPFとする。)とみなすことができる。高周波信号入力端子101から入力された高周波信号は、このBPFによりほぼゼロの位相変化で高周波信号出力端子102から出力される。

[0005] ここで、上記HPFにより生じる位相進みと、上記BPFにより生じる位相変化の差を所要移相量とする。高周波信号入力端子101から入力された高周波信号は、FET103とFET104のオン/オフ状態を切り替えることによって、所望の移相量を得て、高周波信号出力端子102から出力される。

上述のように、従来の移相回路では、HPFのカットオフ周波数を所望の周波数帯域よりも低く設定する必要があるため、周波数が低くなるほど回路が大型化する。また、移相量が小さいほど、HPFのカットオフ周波数を低くする必要があるため、回路が大型化するという問題があった。

[0006] この発明は、上記のような課題を解決するためになされたもので、小型でかつ低損失な特性を持つ移相回路および多ビット移相器を得ることを目的とする。

発明の開示

[0007] この発明に係る移相回路は、高周波信号の入力端子と、高周波信号の出力端子と、これら入力端子と出力端子間に接続され、オン時にスルー状態もしくは抵抗性を呈し、オフ時に容量性を呈する第1のスイッチング素子と第1のインダクタとからなり、当該第1のスイッチング素子のオフ時に所定の周波数で並列共振する第1の並列回路と、第1の並列回路と並列に接続され、第1のスイッチング素子のオン時の抵抗に対して十分大きいリアクタンスを持つ第2のインダクタと第3のインダクタとからなる直列回路と、一端が第2のインダクタと第3のインダクタの接続点に接続されたキャパシタと、キャパシタの他端とグランド間に接続され、オン時にスルー状態もしくは抵抗性を呈し、オフ時に容量性を呈する第2のスイッチング素子と第4のインダクタとからなり、当該第2のスイッチング素子のオフ時に所定の周波数で並列共振する第2の並列回路と、

第1のスイッチング素子をオン状態に、かつ第2のスイッチング素子をオフ状態に設定する第1の動作モードと、第1のスイッチング素子をオフ状態に、かつ第2のスイッチング素子をオン状態に設定する第2の動作モードを切り替えて形成する制御信号の印加手段とを備えたものである。

[0008] このことによって、バンドパスフィルタ回路とローパスフィルタ回路とを切り替えて形成し、入力される高周波信号の通過位相を変化させることができ、低損失で所望の移相量を得ることを可能とする。また、ローパスフィルタを使用しているので、従来のハイパスフィルタを使用した場合に比べてインダクタが小さくなり小型にすることができる。また、移相回路を、2つのスイッチング素子、4つのインダクタ、1つのキャパシタ、1つのスルーホールで基本的に構成できるため、回路を小型にできる効果がある。

図面の簡単な説明

[0009] [図1]この発明の実施の形態1による移相回路の構成を示す回路図である。

[図2]この発明の実施の形態1による移相回路の等価回路を示す回路図である。

[図3]この発明の実施の形態1による移相回路がバンドパスフィルタ回路として動作するときの等価回路を示す回路図である。

[図4]この発明の実施の形態1による移相回路がローパスフィルタ回路として動作するときの等価回路を示す回路図である。

[図5]この発明の実施の形態2による移相回路の構成を示す回路図である。

[図6]この発明の実施の形態2による移相回路がバンドパスフィルタ回路として動作するときの等価回路を示す回路図である。

[図7]この発明の実施の形態2による移相回路がローパスフィルタ回路として動作するときの等価回路を示す回路図である。

[図8]この発明の実施の形態3による移相回路の構成を示す回路図である。

[図9]この発明の実施の形態3による移相回路がバンドパスフィルタ回路として動作するときの等価回路を示す回路図である。

[図10]この発明の実施の形態3による移相回路がローパスフィルタ回路として動作するときの等価回路を示す回路図である。

[図11]この発明の実施の形態4による移相回路の構成を示す回路図である。

[図12]この発明の実施の形態5に係る基板上に形成された移相回路の構成を示す平面図である。

[図13]この発明の実施の形態5に係るスルー／オープン切替素子の詳細な構成を示す分解図である。

[図14]この発明の実施の形態5に係るスルー／オープン切替素子のオープン状態の構造を示す断面図である。

[図15]この発明の実施の形態5に係るスルー／オープン切替素子のスルー状態の構造を示す断面図である。

[図16]この発明の実施の形態5に係るスルー／シャント容量切替素子の詳細な構成を示す分解図である。

[図17]この発明の実施の形態5に係るスルー／シャント容量切替素子のスルー状態の構造を示す断面図である。

[図18]この発明の実施の形態5に係るスルー／シャント容量切替素子の容量状態の構造を示す断面図である。

[図19]この発明の実施の形態5による移相回路の等価回路を示す回路図である。

[図20]この発明の実施の形態5に係るスルーレ路とローパスフィルタ回路の等価回路を示す回路図である。

[図21]この発明の実施の形態6による移相回路に使用するスルー／オープン切替素子の詳細な構成を示す平面図である。

[図22]この発明の実施の形態6に係るスルー／オープン切替素子のオープン状態の構造を示す断面図である。

[図23]この発明の実施の形態6に係るスルー／オープン切替素子のスルー状態の構造を示す断面図である。

[図24]この発明の実施の形態6による移相回路(図示せず)に使用するスルー／シャント容量切替素子の詳細な構成を示す平面図である。

[図25]この発明の実施の形態6に係るスルー／シャント容量切替素子のスルー状態の構造を示す断面図である。

[図26]この発明の実施の形態6に係るスルー／シャント容量切替素子の容量状態の

構造を示す断面図である。

[図27]この発明の実施の形態7による多ビット移相器の構成を示すブロック図である。

[図28]従来の移相回路の構成を示す回路図である。

[図29]従来の移相回路が高域通過フィルタとして動作するときの等価回路を示す回路図である。

[図30]従来の移相回路が帯域通過フィルタとして動作するときの等価回路を示す回路図である。

発明を実施するための最良の形態

[0010] 以下、この発明をより詳細に説明するために、この発明を実施するための最良の形態について、添付の図面に従って説明する。

実施の形態1.

図1はこの発明の実施の形態1による移相回路の構成を示す回路図である。

図において、この移相回路は半導体基板14上にモノリシックに構成されたものである。高周波信号の入力端子1と出力端子2間にはFET(第1のスイッチング素子)3aとスパイラルインダクタ(第1のインダクタ)4とからなる並列回路(第1の並列回路)が接続されており、FET3aのゲートには、入力端子12から第1の制御信号が抵抗9を介して与えられるように構成されている。また、スパイラルインダクタ(第2のインダクタ)5とスパイラルインダクタ(第3のインダクタ)6からなる直列回路が、同様に並列回路と並列に接続されている。スパイラルインダクタ5とスパイラルインダクタ6の接続点にはMIMキャパシタ8の一端が接続されている。MIMキャパシタ8の他端とスルーホール(グランド)11間には、FET(第2のスイッチング素子)3bとスパイラルインダクタ7とからなる並列回路(第2の並列回路)が接続されている。FET3bのゲートには、入力端子13から第2の制御信号が抵抗10を介して与えられるように構成されている。

[0011] 図2は図1の移相回路の等価回路を示す回路図である。ここで、図1と対比すると、インダクタ15はスパイラルインダクタ4に相当し、インダクタ16はスパイラルインダクタ5に相当し、インダクタ17はスパイラルインダクタ6に相当し、インダクタ18はスパイラルインダクタ7に相当している。キャパシタ19はMIMキャパシタ8に相当し、グランド20はスルーホール11に相当している。

[0012] FET3aは第1の制御信号により、またFET3bは第2の制御信号によりオン／オフ状態を切り替えるスイッチとして動作する。FET3aにおいて、第1の制御信号として、ドレイン電圧およびソース電圧と同電位の電圧をゲート端子に印加すると、FET3aはオン状態となり抵抗性(以下、オン抵抗という。)を示す。一方、ピンチオフ電圧以下の電圧をゲート端子に印加すると、FET3aはオフ状態となり容量性(以下、オフ容量という。)を示す。FET3bも第2の制御信号により同様の動作を行う。

[0013] 次に、図2の等価回路を用いてこの実施の形態1の移相回路の動作について説明する。

制御信号により、FET3aがオン状態で、かつFET3bがオフ状態に設定されたとき、図2の等価回路はさらに図3に示す等価回路として考えられる。この動作モード時、FET3aはオン状態にあるのでオン抵抗21として、また、FET3bはオフ状態にあるのでオフ容量22として表される。ここで、インダクタ18とオフ容量22から成る並列回路は、所定の周波数f0で並列共振(オープン)状態となるように設定される。インダクタ16とインダクタ17によるリアクタンスはFET3aのオン抵抗21より十分大きいので、図3に示す回路は、所定の周波数f0近傍を通過帯域としたバンドパスフィルタ回路とみなすことができる。オン抵抗21が十分小さいとき、位相変化はほとんど生じない。したがって、所定の周波数f0において、入力端子1に入力された高周波信号は、位相変化を生じることなく、出力端子2から出力される。

[0014] 制御信号により、FET3aがオン状態で、かつFET3bがオフ状態に設定されたとき、図2の等価回路はさらに図4に示す等価回路として考えられる。この動作モード時、FET3aはオフ状態にあるのでオフ容量23として、また、FET3bはオン状態にあるのでオン抵抗24として表される。ここで、インダクタ18によるリアクタンスがFET3bのオン抵抗24に比べて十分大きく設定されていれば、オン抵抗24とインダクタ18から成る並列回路は、オン抵抗24のみから成る回路とみなすことができる。また、インダクタ15とFET3aのオフ容量23から成る並列回路は、所定の周波数f0で並列共振(オープン)状態となるように設定しておく。この場合、図4に示す回路は、インダクタ16、17とキャパシタ19とから成るローパスフィルタ回路とみなすことができ、回路定数を適切に設定することにより整合がとれて反射損失がないローパスフィルタ回路とすることが

できる。したがって、入力端子1に入力された高周波信号は、このローパスフィルタ回路により位相遅れを生じ、出力端子2から出力される。

[0015] 以上のように、この実施の形態1の移相回路によれば、FET3aおよびFET3bのオン／オフ切替の動作モードの設定により、バンドパスフィルタ回路とローパスフィルタ回路とを切り替えて形成し、入力される高周波信号の通過位相を変化させることができる。したがって、通過位相の変化により、所望の移相量を得ることが可能となる。つまり、移相回路を、2つのFET、4つのインダクタ、1つのキャパシタ、1つのスルーホールで基本的に構成できるため、回路の小型化を図ることができる。

[0016] また、前述した従来の移相回路例においては、高域通過フィルタのカットオフ周波数は所望の中心周波数よりも低く設定する必要がある。一方、ローパスフィルタ回路のカットオフ周波数は所望の中心周波数よりも高いため、従来のものに比べて、インダクタンス、キャパシタンスを小さくすることができ、回路の小型化を図ることができる。

[0017] なお、この発明の実施の形態1から実施の形態4の移相回路において、FETをスイッチング素子として用いて説明しているが、オン／オフ状態を切り替えることができるようなスイッチング機能を有するものであれば他の形式の素子を用いてもよい。また、これらの移相回路は、半導体基板14上にモノリシックに構成されているが、別の方法として、受動素子を誘電体基板に設け、能動素子を半導体基板に設けて、金属ワイヤまたは金パンプ等で両基板を電気的に接続して構成するようにしてもよい。

[0018] 実施の形態2。

図5はこの発明の実施の形態2による移相回路の構成を示す回路図である。図において、図2と同一または相当する構成については、同一の符号を付し、重複する説明は原則として省略する。この移相回路の構成では、図2のキャパシタ19の替りにFET(第3のスイッチング素子)25を設けている。

FET25は、オン／オフ状態を切り替えるスイッチとして動作し、制御信号によりFET3a、FET3bと同様の動作を行う。

[0019] 次に、動作について説明する。

制御信号によりFET3aがオン状態で、かつFET3bがオフ状態、FET25がオン状態に設定されたとき、図5の移相回路は図6に示す等価回路として考えられる。この

図において、図3と同一または相当する構成については、同一の符号を付して示す。ここでは、オン状態にあるFET25はオン抵抗26として表されている。

図6の回路において、図3の回路と同様、インダクタ18とオフ容量22から成る並列回路は、所定の周波数f0で並列共振(オープン)状態となるように設定される。インダクタ16とインダクタ17によるリアクタンスはオン抵抗21に対して十分大きいので、移相回路は、この動作モード時において所定の周波数f0近傍を通過帯域としたバンドパスフィルタ回路とみなすことができる。オン抵抗21が十分小さいとき、位相変化はほとんど生じない。したがって、所定の周波数f0において、入力端子1に入力された高周波信号は、位相変化を生じることなく、出力端子2から出力される。

[0020] 上記実施の形態1の図3に示す回路では、主にインダクタ16とキャパシタ19とインダクタ18から成る直列回路が所定の周波数f0より低い周波数で直列共振状態となり、f0付近での移相回路の特性に影響を与える場合がある。これに対し、図6に示す回路では、上記キャパシタ19をオン抵抗26に置き換えて直列共振を起こさないようにしており、f0付近での移相回路の特性に影響を与えることがなく、良好な特性が得られる。

[0021] また、制御信号により、FET3aがオフ状態で、かつFET3bがオン状態、FET25がオフ状態に設定されたとき、図5の移相回路は図7に示す等価回路として考えられる。この図において、図4と同一または相当する構成については、同一の符号を付して示す。ここでは、オフ状態にあるFET25はオフ容量27として表される。

図7の回路において、上記実施の形態1の図4の回路と同様、インダクタ18によるリアクタンスがオン抵抗24に比べて十分大きく設定されていれば、オン抵抗24とインダクタ18から成る並列回路は、オン抵抗24のみから成る回路とみなすことができる。さらに、インダクタ15とオフ容量23から成る並列回路は、所望周波数f0で並列共振(オープン)状態となるように設定される。よって、この動作モード時、この移相回路は、インダクタ16、17およびオフ容量27とから成るローパスフィルタ回路とみなすことができ、回路定数を適切に設定することにより整合がとれて反射損失がないものとすることができる。したがって、入力端子1に入力された高周波信号は、前記ローパスフィルタ回路により位相遅れを生じ、出力端子2から出力される。

[0022] 以上のように、この実施の形態2の移相回路によれば、FET3a、FET3bおよびFET25のオン／オフ切替の動作モードの設定により、バンドパスフィルタ回路とローパスフィルタ回路とを切り替え形成し、入力端子1に入力された高周波信号の通過位相を変化させることができる。したがって、上記実施の形態1に係る移相回路と同様の効果が得られるとともに、バンドパスフィルタ回路の状態において、所定の周波数f0より低い周波数での直列共振を起こさないため、f0付近での移相回路の特性に影響を与えないという利点がある。

[0023] 実施の形態3.

図8はこの発明の実施の形態3による移相回路の構成を示す回路図である。図において、図2と同一または相当する構成については、同一の符号を付し、重複する説明は原則として省略する。この移相回路の構成では、図2のインダクタ18とFET3bから成る並列回路を、FET3b(第2のスイッチング素子)のみに置き換えている。

[0024] 次に、動作について説明する。

制御信号により、FET3aがオン状態で、かつFET3bがオフ状態に設定されたとき、図8の移相回路は図9に示す等価回路として考えられる。この図において、図3と同一または相当する構成については、同一の符号を付して示す。

図9の回路において、キャパシタ19とオフ容量22の合成容量は、ほぼオープン状態となるように設定される。ここで、インダクタ16とインダクタ17によるリアクタンスはオン抵抗21に対して十分大きく設定されているので、この動作モード時、この回路は、オン抵抗21によるスルー回路とみなすことができる。オン抵抗21が十分小さいとき、位相変化はほとんど生じることがない。したがって、入力端子1に入力された高周波信号は、位相変化を生じることなく、高周波信号出力端子2から出力される。

[0025] また、FET3aがオフ状態で、かつFET3bがオン状態に設定されたとき、図8の回路は図10に示す等価回路として考えられる。この図において、図4と同一または相当する構成については、同一の符号を付して示す。

図10の回路は、図4と同様、インダクタ15とオフ容量23から成る並列回路は、所定の周波数f0で並列共振(オープン)状態となるように設定されている。よって、この回路は、この動作モード時、インダクタ16、17およびキャパシタ19とから成るローパスフ

イルタ回路とみなすことができる。回路定数を適切に設定することにより、整合がとれて反射損失をなくすことができる。したがって、入力端子1に入力された高周波信号は、このローパスフィルタ回路により位相遅れを生じ、出力端子2から出力される。

なお、上記実施の形態2の図5のインダクタ18とFET3bからなる並列回路をFET3bのみに置き換えるようにしても同様である。

[0026] 以上のように、この実施の形態3の移相回路によれば、FET3aおよびFET3bのオン／オフ切替の動作モードの設定により、スルー回路とローパスフィルタ回路とを切り替え形成し、入力端子1に入力される高周波信号の通過位相を変化させることができる。したがって、上記実施の形態1の移相回路と同様の効果が得られるとともに、実施の形態1の移相回路に比べて、インダクタを1つ減らせるため、より小型化が図れる。

[0027] 実施の形態4.

図11はこの発明の実施の形態4による移相回路の構成を示す回路図で、図において、図2と同一または相当する構成については、同一の符号を付し、重複する説明は原則として省略する。この移相回路の構成では、図2のFET3a, 3bに相当したFET3a', 3b'を設け、これらに並列に接続したキャパシタ28, 29をそれぞれ備えている。

[0028] FET3a'がオン状態で、かつFET3b'がオフ状態に設定されたとき、図11の移相回路は図3と同様な等価回路となり、同様な動作を行う。ここで、上記実施の形態1におけるFET3bのオフ容量22と同じキャパシタンスを実現することを考える。図11ではキャパシタ29を追加していることにより、FET3bと比較して、FET3b'のオフ容量を小さくすることができる。すなわち、FET3b'のサイズをFET3bより小さくすることが可能となる。

[0029] FET3a'がオフ状態で、かつFET3b'がオン状態に設定されたとき、図11の移相回路は図4と同様な等価回路となり、同様な動作を行う。ここで、上記実施の形態1におけるFET3aのオフ容量23と同じキャパシタンスを実現することを考える。図11では、キャパシタ28を追加したことにより、FET3aだけの場合と比較して、FET3a'のオフ容量を小さくすることができる。すなわち、FET3a'のサイズをFET3aより小さくすることが可能となる。

[0030] 以上のように、この実施の形態4の移相回路によれば、実施の形態1と同様の効果

が得られると共に、実施の形態1の移相回路に比べてスイッチング素子として使用するFETのサイズを小さくすることができ、移相回路の小型化が図れる。

[0031] 実施の形態5.

図12はこの発明の実施の形態5に係る基板上に形成された移相回路の構成を示す平面図で、コプレーナ線路構造の場合を示している。

図において、基板32には、片面からの微細加工技術で掘り込み、キャビティ36が形成されている。誘電体支持膜37がキャビティ36の端部で支持され、空気層を介して中空に存在するように設けられている。誘電体支持膜37上には間隔を隔てて2つのメアンダーライン35a, 35bが形成されている。キャビティ36の底面と誘電体支持膜37との間には、数ミクロン～数十ミクロンの間隙が設けられている。キャビティ36の底面はメタルで覆われていても、覆われていなくてもどちらでもよい。キャビティ36を挟んだ基板32上には、スルー／オープン切替素子(破線で囲まれた部分)33とスルー／シャント容量切替素子(破線で囲まれた部分)34が形成されている。

[0032] 図13は、図12に示されたスルー／オープン切替素子33の詳細な構成を示す分解図である。

基板(図12に示す基板32と同一)38は、片面に微細加工技術で掘り込んで形成したキャビティ39を有する。キャビティ39の底面中央にコンタクトメタル41が形成されている。また、キャビティ39の底面には、コンタクトメタル41の周りを取り囲んで制御電極40が形成され、制御電極40には、制御電圧を与えるために基板38の上面に延びる端部が形成されている。誘電体支持膜42が、コンタクトメタル41と制御電極40とに対向する位置でキャビティ39の一対の端部で基板38により支持されており、通常時キャビティ39の空気層を介した中空に位置づけられている。誘電体支持膜42は、コンタクトメタル41との対向した位置に一対の貫通穴43a, 43bを有している。高周波信号伝送線路44aと高周波信号伝送線路44bは、誘電体支持膜面上に間隙を隔てて配置されており、一対の貫通穴43a, 43bを通して誘電体支持膜面の裏面側でコンタクトメタル41と向かい合うようにそれぞれの導体突起部(後述する図14を参照。)を形成している。

[0033] 高周波信号伝送線路44a, 44bとグランドメタル45a, 45bは、中心に間隙を有する

コプレーナ線路を形成している。上記コプレーナ線路を有する誘電体支持膜42は、通常時中空に位置しているので、そのときのキャビティ39の底面と誘電体支持膜42との間には、数ミクロンー数十ミクロンの間隔が設けられている。

[0034] 次に、上記スルー／オープン切替素子33の動作について説明する。

制御電極40に制御電圧を印加していない場合、図12のA-A'線断面に相当するスルー／オープン切替素子33の構造は図14の断面図に示されるようになる。この動作モード時、2つの高周波信号伝送線路44a, 44bの間は、間隙が設けられ、かつ他に導電体が介在していないので、オープン状態となる。

一方、制御電極40に制御電圧を印加した場合、図12のA-A'線断面に相当するスルー／オープン切替素子33の構造は図15の断面図に示されるようになる。この動作モード時、グランドメタル45a, 45bと制御電極40の間に静電引力が働き、誘電体支持膜42はキャビティ39の底面の方向に変位する。このとき、一対の高周波信号伝送線路44a, 44b間は、貫通穴43a, 43bから突出した導体突起部がコンタクトメタル41に接触するため、電気的に導通し、スルー状態を形成する。

[0035] 図16は、図12に示すスルー／シャント容量切替素子34の詳細な構成を示す分解図である。図において、図13と同一または相当する構成部分については、同一の符号を付して示す。このスルー／シャント容量切替素子34は、基板38(図12に示す基板32と同一)の片面に微細加工技術で掘り込んで形成したキャビティ46を有する。キャビティ46の底面にはグランドメタル(第1のグランドメタル)48が帯状に形成されている。キャビティ46の底面でグランドメタル48の両側には制御電極が形成されている。この制御電極47とグランドメタル48は、キャビティ46の底面から基板38上に延びた部分を有している。

[0036] 誘電体支持膜49は、グランドメタル48と制御電極47とに対向した位置でキャビティ46の端部で基板38により支持(後述する図17を参照。)され、通常時キャビティ46の空気層を介した中空に位置づけられている。誘電体支持膜49とキャビティ46の底面との間には、数ミクロンー数十ミクロンの間隔が設けられている。また、誘電体支持膜49は、グランドメタル48と制御電極47とに対向して位置づけられている。誘電体支持膜49上には、高周波信号伝送線路50がグランドメタル48と対向した位置に形

成されている。また、誘電体支持膜49上で制御電極47と対向した位置にグランドメタル(第2のグランドメタル)51a, 51bが形成されている。高周波信号伝送線路50、グランドメタル48, 51a, 51bは、グランデッドコプレーナ線路を形成している。

[0037] 次に、スルー／シャント容量切替素子34の動作について説明する。

制御電極47に制御電圧を印加していない場合、図12のB-B'線断面に相当するスルー／シャント容量切替素子34の構造は図17の断面図に示されるようになってい。この動作モード時、高周波信号は上記グランデッドコプレーナ線路を伝送される。つまり、スルー／シャント容量切替素子34はスルーの状態を形成する。

一方、第2の制御電極47に制御電圧を印加した場合、図12のB-B'線断面に相当するスルー／シャント容量切替素子34の構造は図18の断面図に示されるようになる。この動作モード時、グランドメタル51a, 51bと制御電極47の間に静電引力が働き、誘電体支持膜49は、キャビティ46の底面の方向に変位する。その結果、誘電体支持膜49はグランドメタル48に接触し、高周波信号伝送線路50とグランドメタル48は誘電体支持膜49を介して近接する。したがって、高周波信号伝送線路50がグランドに対して容量を持つ。つまり、スルー／シャント容量切替素子34はグランドに対して容量を表す状態を形成する。

[0038] 次に、図12に示される移相回路の動作について説明する。図19は図12の移相回路を等価的に表した回路図である。

図19は高周波信号の入力端子(高周波信号入力端子30に相当)52と出力端子(高周波信号出力端子31に相当)53間に、制御電圧E1により伝送線路をスルー状態またはオープン状態に設定されるスルー／オープン切替素子33が接続されている。また、入力端子52には、インダクタ(メアンドライン35aに相当)54aの一端が接続され、出力端子53には、インダクタ(メアンドライン35bに相当)54bの一端が接続されている。インダクタ54aの他端とインダクタ54bの他端には、制御電圧E2により伝送線路をスルー状態または容量状態に設定されるスルー／シャント容量切替素子34が接続されている。キャパシタ55は、スルー／シャント容量切替素子34がシャント容量状態のときに示すグランドに対する容量を表す。

[0039] 制御電極40に制御電圧E1を印加してスルー／オープン切替素子33をスルー状

態(図15を参照。)に切り替え、同時に制御電極47に制御電圧E2を印加しないこと(グランドと同電位)でスルー／シャント容量切替素子34をスルー状態(図17を参照。)に設定する。このとき、図19(または図12)の移相回路は図20(a)に示される等価回路を形成する。図20(a)において、入力端子52と出力端子53間には両インダクタ54a, 54bからなる直列回路が接続され、かつ入力52と出力端子53が直接接続されたような回路構成となる。

ここで、インダクタ54a, 54bによるリアクタンスが十分大きいとすると、この動作モードにおける図20(a)の回路はスルーリード回路とみなすことができる。したがって、入力端子52から入力された高周波信号は、位相変化が生じることなく、出力端子53から出力される。このとき、このスルーリード回路は全ての周波数において整合がとれるため、反射損失がない。

[0040] 次に、制御電極40に制御電圧E1を印加しないこと(グランドと同電位)によりスルーリード／オーブン切替素子33をオーブン状態(図14を参照。)にし、同時に制御電極47に制御電圧E2を印加してスルー／シャント容量切替素子34をシャント容量状態(図18を参照。)に設定する。このとき、図19(または図12)の移相回路は図20(b)に示される等価回路を形成する。図20(b)において、図19と同一または相当する構成については、同一の符号を付して示す。インダクタ54a, 54bの直列回路が入力端子52と出力端子53b間に接続され、両インダクタ54a, 54bの接続点とグランド間にキャパシタ55が接続されている。

ここで、図20(b)の回路は、両インダクタ54a, 54bとキャパシタ55とから成るローパスフィルタ回路とみなすことができる。したがって、入力端子52に入力された高周波信号は、このローパスフィルタ回路により位相遅れが生じて、出力端子53から出力される。この場合、ローパスフィルタ回路の回路定数を適切に設定すれば、整合がとれて反射損失がなくなる。さらに、所望の位相遅れを得ることができる。

[0041] 以上のように、実施の形態5の移相回路によれば、スルーリード／オーブン切替素子33の切り替え動作と、スルーライド／シャント容量切替素子34の切り替え動作により、スルーリードの状態とローパスフィルタ回路の状態とを切り替え形成するので、入力端子52に入力された高周波信号が出力端子53から出力される際に生じる通過位相を変化させ

ることが可能となる。また、微細加工技術により製作した機械的に駆動するスルー／オープン切替素子とスルー／シャント容量切替素子をスイッチング素子に用いているので、従来例や実施の形態1乃至実施の形態4のように半導体のスイッチング素子を用いている場合に比べて低損失化が図れる。さらに、微細加工技術による中空構造を採用しているため、高周波特性が基板の影響を受けにくい。つまり、低抵抗シリコン基板やガラス基板のような安価な基板を用いることができ、半導体基板を用いる場合と比べて低コスト化が図れる。

[0042] なお、図12により説明した移相回路において、インダクタとして、基板を片面微細加工して形成したキャビティの中空構造メアンドラインを採用しているが、誘電体支持膜の両面にパターンニングして形成したスパイラルインダクタでもよい。また、中空構造ではなく、基板上にメアンドラインを形成するようにしてもよい。さらに、上記移相回路では、スルー／オープン切替素子とスルー／シャント容量切替素子において、誘電体支持膜の上に高周波信号伝送線路を形成しているが、その上に更に誘電体支持膜を形成して3層構造とするようにしてもよい。これにより、メタルパターンが誘電体支持膜で挟まれるため、応力が垂直方向に対称となり平坦になる。さらにまた、片面微細加工により、キャビティを形成した基板をもう一つ設け、移相回路を上からカバーすることによりパッケージ状態とするようにしてもよい。これにより、機械的に駆動するスルー／オープン切替素子とスルー／シャント容量切替素子を湿気等からシールドすることができ、信頼性を高めることができる。

[0043] 実施の形態6.

この実施の形態6による移相回路の構成は、上記実施の形態5の図12に示す移相回路の構成において、スルー／オープン切替素子33を後述する図21のスルー／オープン切替素子に置き換え、かつスルー／シャント容量切替素子34を後述する図24のスルー／シャント容量切替素子に置き換えたものである。この移相回路の等価回路は、図19に示した回路と同様であり、回路動作についても上記実施の形態5で説明したので、ここでは説明を省略する。

[0044] 図21はこの発明の実施の形態6による移相回路に使用するスルー／オープン切替素子の詳細な構成を示す平面図である。図において、図13と同一または相当する構

成については、同一の符号を付し、重複する説明は原則として省略する。

基板38の片面に微細加工技術で掘り込んで形成したキャビティ39の底面中央には、帯状に一对の高周波信号伝送線路56a, 56bが間隙を隔てて形成されている。また、キャビティ39の底面には、一对の高周波信号伝送線路56a, 56bの両側にグランドメタル57a, 57bが形成されている。これらキャビティ39の底面では、中心に間隙を有するコプレーナ線路を構成している。

[0045] 誘電体支持膜58は、キャビティ39の端部で基板38により支持され、通常時にキャビティ39の空気層を介した中空に位置するように設けられている。そのため、キャビティ39の底面と誘電体支持膜58との間には、数ミクロン～数十ミクロンの間隔が設けられている。一对の高周波信号伝送線路56a, 56bの部分と対向し、間隙を含む部分の上部に位置づけられている(後述する図22を参照。)。誘電体支持膜58の裏面には、一对の高周波信号伝送線路56a, 56bの間隙を含む部分と対向した位置にコンタクトメタル60が形成されている。また、誘電体支持膜58の上面には、グランドメタル57a, 57bに対向した位置に制御電極59が形成されている。

[0046] 次に、図21に示されたスルー／オープン切替素子の動作について説明する。

制御電極59に電圧を印加していない場合、図21のC-C'線断面に相当するスルー／オープン切替素子の構造は図22の断面図に示されるようになっている。誘電体支持膜58はキャビティ39の空気層を介した中空に位置している。この動作モード時、一对の高周波信号伝送線路56a, 56b間には間隙が存在するので、スルー／オープン切替素子はオープンの状態を形成している。

一方、第3の制御電極59に電圧を印加した場合、図21のC-C'線断面に相当するスルー／オープン切替素子の構造は図23の断面図に示されるようになる。グランドメタル57a, 57b(図23では、57aは56a, 56bの陰にあり、57bは手前にあるので見えない。)と制御電極59の間に静電引力が働き、その結果、誘電体支持膜58をキャビティ39の底面の方向に変位させる。この動作モード時、一对の高周波信号伝送線路56a, 56bはコンタクトメタル60に接触し、両者間が電気的に導通する。したがって、スルー／オープン切替素子はスルー状態を形成する。

[0047] 図24はこの発明の実施の形態6による移相回路に使用するスルー／シャント容量

切替素子の詳細な構成を示す平面図である。図21と同一または相当する構成部分については同一の符号を付す。

基板38の片面に微細加工技術で掘り込んで形成したキャビティ39の底面中央には、帯状の高周波信号伝送線路61が形成されている。また、キャビティ39の底面で、高周波信号伝送線路61の両側にグランドメタル62a, 62bが形成されている。これらキャビティ39の底面では、コプレーナ線路を構成している。

[0048] 誘電体支持膜63が、高周波信号伝送線路61とグランドメタル62a, 62bの部分に対向してキャビティの端部で支持されている。誘電体支持膜63は、通常時に前記キャビティの空気層を介した中空に位置づけられている(後述する図25を参照。)。そのため、キャビティ39の底面と誘電体支持膜63の間には、数ミクロン~数十ミクロンの間隔が設けられている。誘電体支持膜63の上面には、グランドメタル62a, 62bに対向した位置に制御電圧を印加する制御電極65が形成されている。また、誘電体支持膜63の上面には、高周波信号伝送線路61に対向した位置にメタル64が形成されている。メタル64は、基板38上でグランドメタル62a, 62bと接続されており、グランドと同電位にある。

[0049] 次に、図24に示されたスルー／シャント容量切替素子の動作について説明する。

制御電極65に電圧を印加していない場合、図24のD-D'線断面に相当するスルー／シャント容量切替素子の構造は図25の断面図に示されるようになっている。この動作モード時、誘電体支持膜63と高周波信号伝送線路61との間にはキャビティ39による十分な空間が存在している。したがって、高周波信号はキャビティ39の底面上のコプレーナ線路を伝送することになる。つまり、スルー／シャント容量切替素子はスルー状態を形成している。

一方、制御電極65に電圧を印加した場合、図24のD-D'線断面に相当するスルー／シャント容量切替素子の構造は図26の断面図に示されるようになる。この動作モード時、グランドメタル62a, 62bと第4の制御電極65の間に静電引力が働き、誘電体支持膜63はキャビティ39の底面の方向に変位し、高周波信号伝送線路61に接触する。したがって、高周波信号伝送線路61とメタル64は誘電体支持膜63を介して近接する。つまり、このスルー／シャント容量切替素子はグランドに対して容量を

示す状態となる。

[0050] 以上のように、実施の形態6の移相回路によれば、スルー／オープン切替素子の切り替え動作と、スルー／シャント容量切替素子の切り替え動作により、スルーの状態とローパスフィルタ回路の状態とを切り替え形成するので、上記実施の形態5と同様に、入力端子から入力された高周波信号が出力端子に出力される際に生じる通過位相を変化させることが可能となる。また、微細加工技術により製作した機械的に駆動するスルー／オープン切替素子とスルー／シャント容量切替素子をスイッチング素子に用いているため、実施の形態1乃至実施の形態4のように半導体のスイッチング素子を用いている場合に比べて低損失化が図れる。さらに、中空構造を採用しているため、高周波特性が基板の影響を受けにくい。つまり、低抵抗シリコン基板やガラス基板のような安価な基板を用いることができ、半導体基板を用いる場合と比べて低コスト化が図れる。

[0051] なお、実施の形態6に係る移相回路において、インダクタとして、基板を片面微細加工して形成したキャビティの中空構造メアンダラインを採用しているが、誘電体支持膜の両面にパターンニングして形成したスパイラルインダクタでもよい。また、中空構造ではなく、基板上にメアンダラインを形成するようにしてもよい。さらに、上記移相回路では、スルー／オープン切替素子とスルー／シャント容量切替素子において、誘電体支持膜の上にメタルパターンを形成しているが、その上に更に誘電体支持膜を形成して3層構造としてもよい。これにより、メタルパターンが誘電体支持膜で挟まれるため、応力が垂直方向に対称となり平坦になる。さらにまた、片面微細加工により、キャビティを形成した基板をもう一つ設け、移相回路を上からカバーすることによりパッケージ状態にしてもよい。これにより、機械的に駆動するスルー／オープン切替素子とスルー／シャント容量切替素子を湿気等からシールドすることができ、信頼性を高めることができる。

[0052] 実施の形態7.

図27はこの発明の実施の形態7による多ビット移相器の構成を示すブロック図である。この多ビット移相器は、高周波信号入力端子66と高周波信号出力端子67の間に、複数個の1ビット分の移相回路681, 682, …, 68nを多段接続したものである。

ここで、移相回路681, 682, …, 68nには、実施の形態1乃至実施の形態6において述べた移相回路を用いる。

このように、1ビットの移相回路を多段接続して多ビット移相器を構成することにより、多ビット動作する移相器を実現できるという効果が得られる。

産業上の利用可能性

[0053] 以上のように、この発明に係る移相回路は、低損失の特性を持ち小型化が図れるので、移動体衛星通信システムのフェーズドアレーランテナなどに使用するK-バンド帯など高い周波数帯の多ビット移相器に適している。

請求の範囲

[1] 高周波信号の入力端子と、
高周波信号の出力端子と、
前記入力端子と前記出力端子間に接続され、オン時にスルー状態もしくは抵抗性を呈し、オフ時に容量性を呈する第1のスイッチング素子と第1のインダクタとからなり、当該第1のスイッチング素子のオフ時に所定の周波数で並列共振する第1の並列回路と、
前記第1の並列回路と並列に接続され、前記第1のスイッチング素子のオン時の抵抗に対して十分大きいリアクタンスを持つ第2のインダクタと第3のインダクタとからなる直列回路と、
一端が前記第2のインダクタと前記第3のインダクタの接続点に接続されたキャパシタと、
前記キャパシタの他端とグランド間に接続され、オン時にスルー状態もしくは抵抗性を呈し、オフ時に容量性を呈する第2のスイッチング素子と第4のインダクタからなり、当該第2のスイッチング素子のオフ時に所定の周波数で並列共振する第2の並列回路と、
前記第1のスイッチング素子をオン状態に、かつ前記第2のスイッチング素子をオフ状態に設定する第1の動作モードと、前記第1のスイッチング素子をオフ状態に、かつ前記第2のスイッチング素子をオン状態に設定する第2の動作モードを切り替えて形成する制御信号の印加手段とを備えたことを特徴とする移相回路。

[2] キャパシタの替りに、オン時にスルー状態もしくは抵抗性を呈し、オフ時に容量性を呈する第3のスイッチング素子を備え、
印加手段は、第1の動作モード時に前記第3のスイッチング素子をオン状態に設定し、また、第2の動作モード時に前記第3のスイッチング素子をオフ状態に設定するようにしたことを特徴とする請求項1記載の移相回路。

[3] 第2の並列回路を、第2のスイッチング素子のみに置き換え、
キャパシタと当該第2のスイッチング素子のオフ時の容量とからなる合成容量が、実質的にオープン状態となるように設定したことを特徴とする請求項1記載の移相回路

。

[4] 第2の並列回路を、第2のスイッチング素子のみに置き換え、
キャパシタと当該第2のスイッチング素子のオフ時の容量とからなる合成容量が、実
質的にオープン状態となるように設定したことを特徴とする請求項2記載の移相回路
。

[5] 第1の並列回路および第2の並列回路は、並列に接続したキャパシタをそれぞれ有
することを特徴とする請求項1記載の移相回路。

[6] 第1の並列回路および第2の並列回路は、並列に接続したキャパシタをそれぞれ有
することを特徴とする請求項2記載の移相回路。

[7] 第1の並列回路および第2のスイッチング素子は、並列に接続したキャパシタをそ
れぞれ有することを特徴とする請求項3記載の移相回路。

[8] 第1の並列回路および第2のスイッチング素子は、並列に接続したキャパシタをそ
れぞれ有することを特徴とする請求項4記載の移相回路。

[9] 高周波信号の入力端子と、
高周波信号の出力端子と、
前記入力端子と前記出力端子間に接続され、制御電圧により伝送線路をスルー状
態またはオープン状態に設定されるスルー／オープン切替素子と、
一端が前記入力端子に接続された第1のインダクタと、
一端が前記出力端子に接続された第2のインダクタと、
前記第1のインダクタの他端と前記第2のスイッチング素子の他端に接続された制
御電圧により伝送線路をスルー状態または容量状態に設定されるスルー／シャント
容量切替素子と、
前記スルー／オープン切替素子と前記スルー／シャント容量切替素子を同時にス
ルー状態にする第1の動作モードと、前記スルー／オープン切替素子をオープン状
態にすると共に前記スルー／シャント容量切替素子を容量状態にする第2の動作モ
ードを切り替えて形成する制御電圧の印加手段とを備えたことを特徴とする移相回路
。

[10] スルー／オープン切替素子は、

片面のみを掘り込んで形成されたキャビティを有する基板と、
前記キャビティの底面中央に形成されたコンタクトメタルと、
前記キャビティの底面で前記コンタクトメタルの周りに形成された制御電極と、
前記コンタクトメタルと前記制御電極に対向する位置で前記キャビティの端部で支持され、前記コンタクトメタルと対向した位置に一対の貫通穴を有し、前記制御電極に制御電圧が印加されていない通常時に前記キャビティの空気層を介した中空に位置づけられる誘電体支持膜と、
この誘電体支持膜面上に間隙を隔てて配置され、前記一対の貫通穴を通して前記誘電体支持膜面の裏面側で前記コンタクトメタルと向かい合う導体突起部をそれぞれ有する一対の高周波信号伝送線路と、
前記誘電体支持膜上で前記制御電極と対応する位置に設けられたグランドメタルとを備え、
制御電圧を前記制御電極へ印加したとき、前記制御電極と前記グランドメタル間に働く静電引力により前記誘電体支持膜を前記キャビティの底面方向に変位させ、前記各導体突起部を前記コンタクトメタルに接触させて前記一対の高周波信号伝送線路間をスルー状態にするよう動作することを特徴とする請求項9記載の移相回路。

[11] スルー／シャント容量切替素子は、
片面のみを掘り込んで形成されたキャビティを有する基板と、
前記キャビティの底面中央に帯状に形成された第1のグランドメタルと、
前記キャビティの底面で前記グランドメタルの両側に形成された制御電極と、
前記第1のグランドメタルと前記制御電極とに対向した位置で前記キャビティの端部により支持され、前記制御電極に制御電圧が印加されていない通常時に前記キャビティの空気層を介した中空に位置づけられる誘電体支持膜と、
この誘電体支持膜上で前記グランドメタルと対向した位置に形成された高周波信号伝送線路と、
前記誘電体支持膜上で前記制御電極と対向した位置に形成された第2のグランドメタルとを備え、
制御電圧を前記制御電極へ印加したとき、前記制御電極と前記第2のグランドメタ

ル間に働く静電引力により前記誘電体支持膜を前記キャビティの底面方向に変位させ、前記誘電体支持膜を前記第1のグランドメタルに接触させて前記高周波信号伝送線路が前記第1のグランドメタルに対して容量を持つように動作することを特徴とする請求項9記載の高周波スイッチ。

[12] スルー／オープン切替素子は、
片面のみを掘り込んで形成されたキャビティを有する基板と、
前記キャビティの底面中央に間隙を隔てて形成された一対の高周波信号伝送線路と、
前記キャビティの底面で前記一対の高周波信号伝送線路の両側に形成されたグランドメタルと、
前記一対の高周波信号伝送線路の前記間隙を含む部分に対向して前記キャビティの端部で支持され、通常時に前記キャビティの空気層を介した中空に位置づけられる誘電体支持膜と、
前記一対の高周波信号伝送線路の間隙を含む部分と対向した前記誘電体支持膜の裏面に形成されたコンタクトメタルと、
前記グランドメタルに対向した前記誘電体支持膜の上面に形成された制御電極とを備え、
制御電圧を前記制御電極へ印加したとき、前記制御電極と前記グランドメタル間に働く静電引力により前記誘電体支持膜を前記キャビティの底面方向に変位させ、前記コンタクトメタルを前記一対の高周波信号線路に接触させて前記一対の高周波信号伝送線路間をスルー状態にするよう動作することを特徴とする請求項9記載の移相回路。

[13] スルー／シャント容量切替素子は、
片面のみを掘り込んで形成されたキャビティを有する基板と、
前記キャビティの底面中央に帯状に形成された高周波信号伝送線路と、
前記キャビティの底面で前記高周波信号伝送線路の両側に形成されたグランドメタルと、
前記高周波信号伝送線路と前記グランドメタルの部分に対向して前記キャビティの

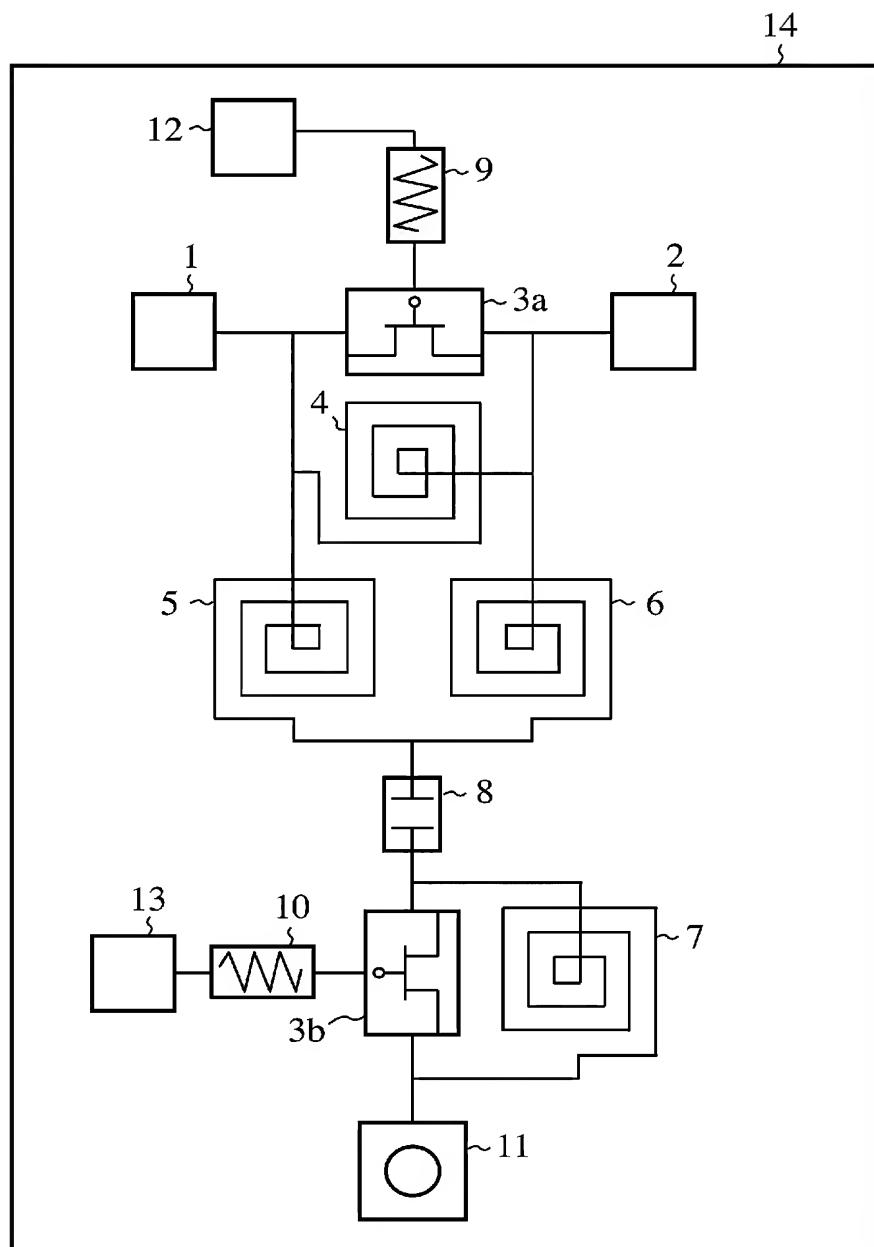
端部で支持され、通常時に前記キャビティの空気層を介した中空に位置づけられる誘電体支持膜と、

前記グランドメタルに対向して前記誘電体支持膜の上面に形成された制御電極と、前記高周波信号伝送線路に対向して誘電体支持膜の上面に形成され、グランドと同電位におかれたメタルとを備え、

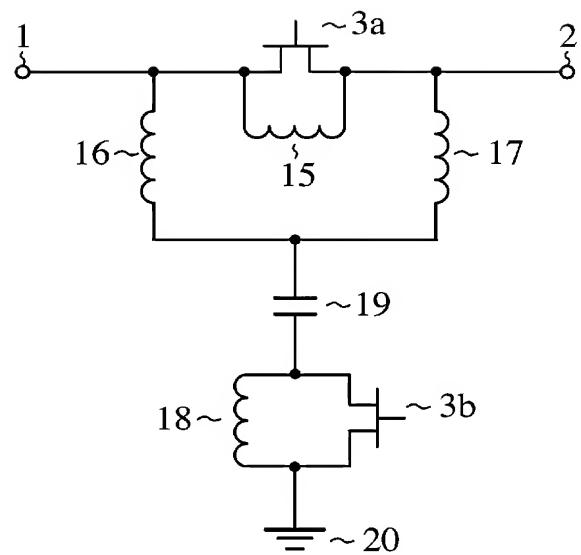
制御電圧を前記制御電極へ印加したとき、前記制御電極と前記グランドメタル間に働く静電引力により前記誘電体支持膜を前記キャビティの底面方向に変位させ、前記誘電体支持膜を前記高周波信号伝送線路に接触させて前記高周波信号伝送線路が前記メタルに対して容量を持つよう動作することを特徴とする請求項9記載の移相回路。

- [14] 請求項1記載の移相回路を1ビット分の移相回路として複数個多段接続して構成したことを特徴とする多ビット移相器。
- [15] 請求項2記載の移相回路を1ビット分の移相回路として複数個多段接続して構成したことを特徴とする多ビット移相器。
- [16] 請求項3記載の移相回路を1ビット分の移相回路として複数個多段接続して構成したことを特徴とする多ビット移相器。
- [17] 請求項4記載の移相回路を1ビット分の移相回路として複数個多段接続して構成したことを特徴とする多ビット移相器。
- [18] 請求項5記載の移相回路を1ビット分の移相回路として複数個多段接続して構成したことを特徴とする多ビット移相器。
- [19] 請求項9記載の移相回路を1ビット分の移相回路として複数個多段接続して構成したことを特徴とする多ビット移相器。

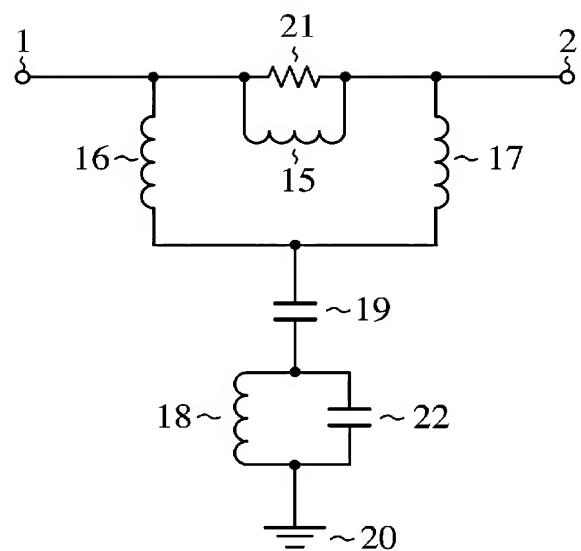
[図1]



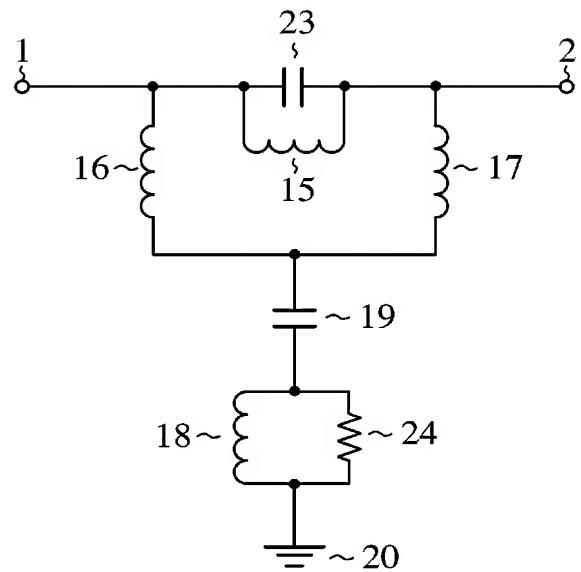
[図2]



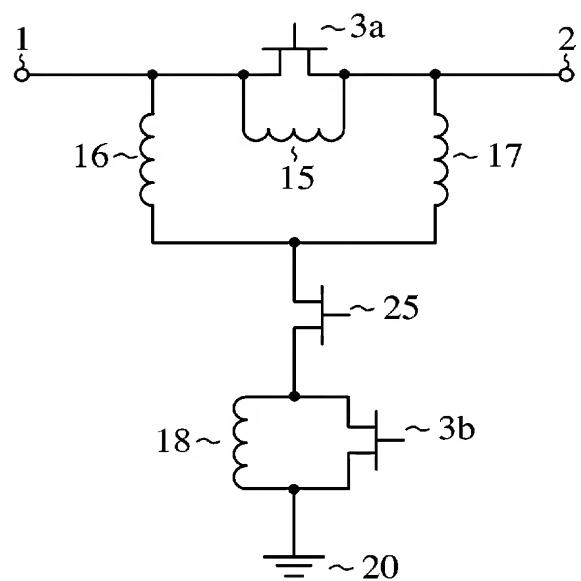
[図3]



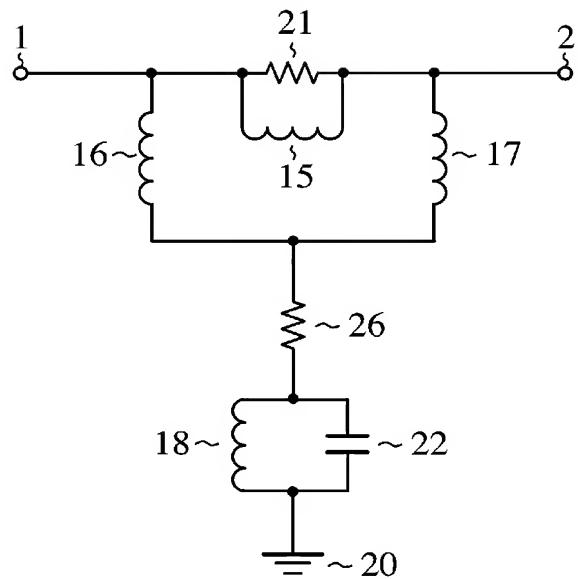
[図4]



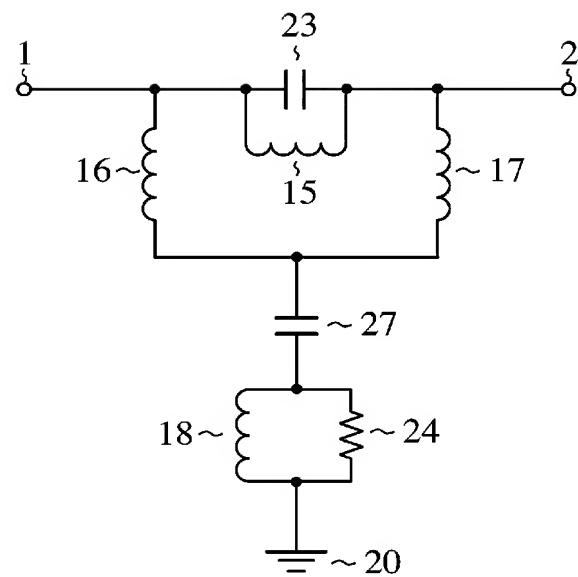
[図5]



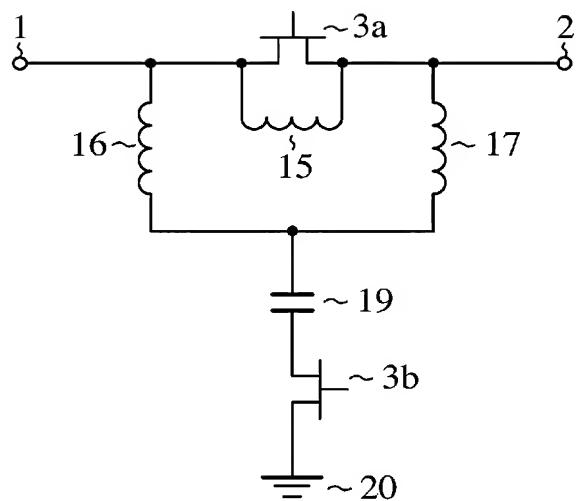
[図6]



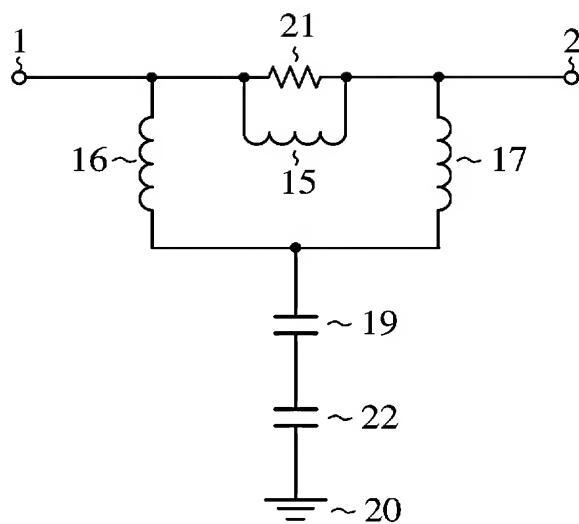
[図7]



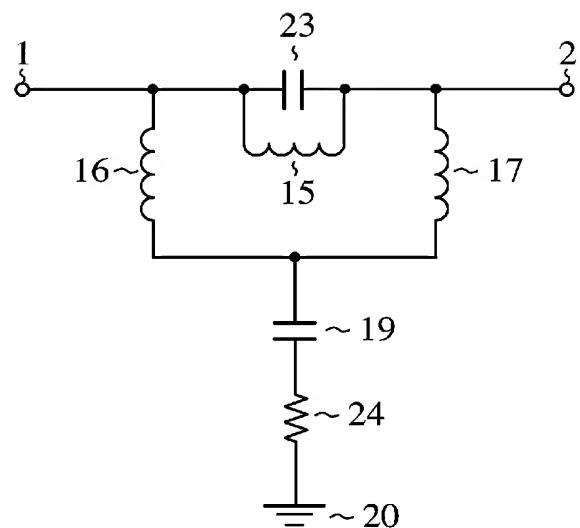
[図8]



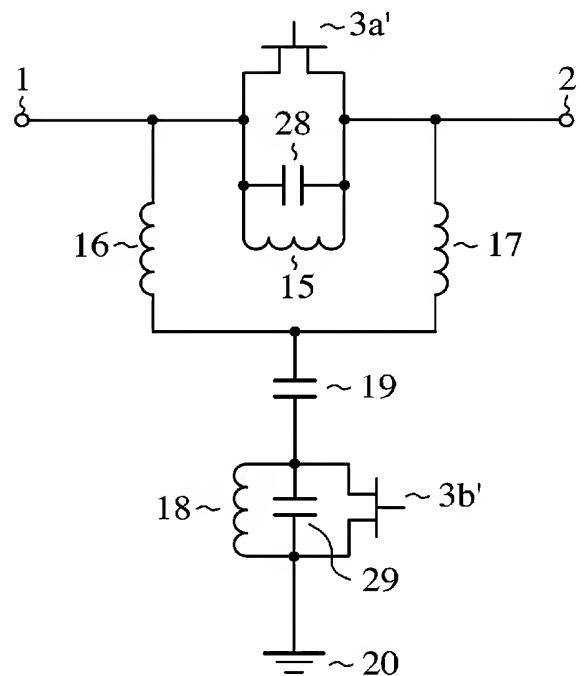
[図9]



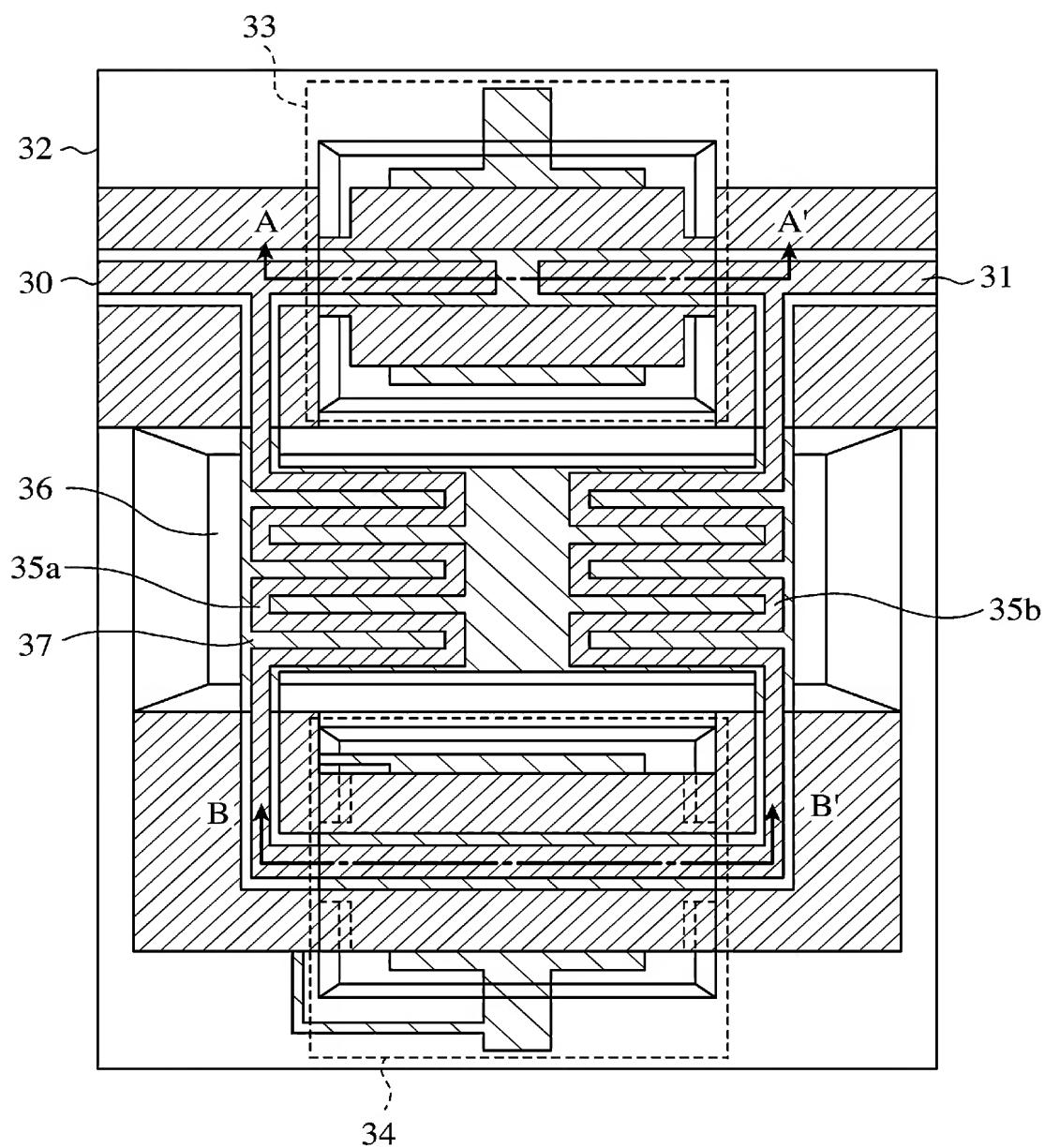
[図10]



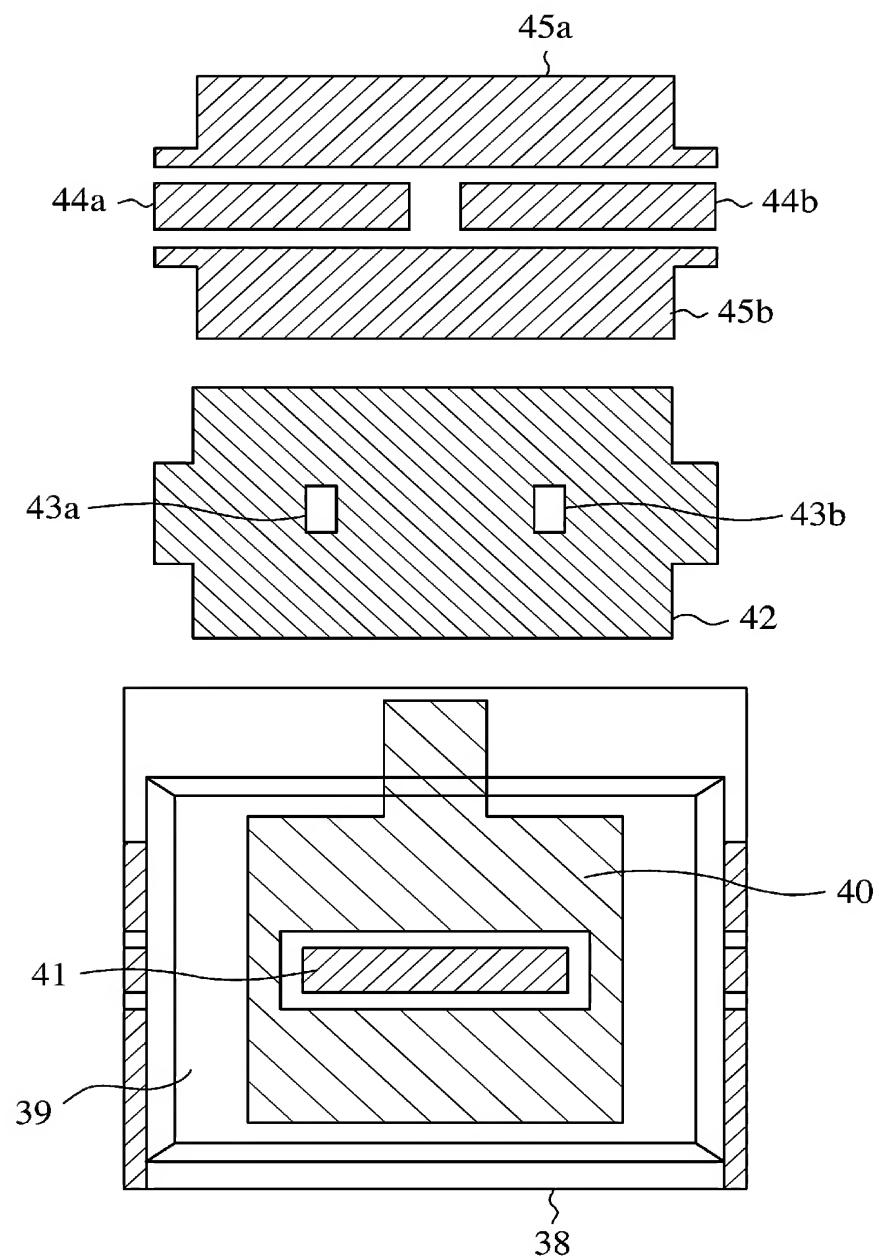
[図11]



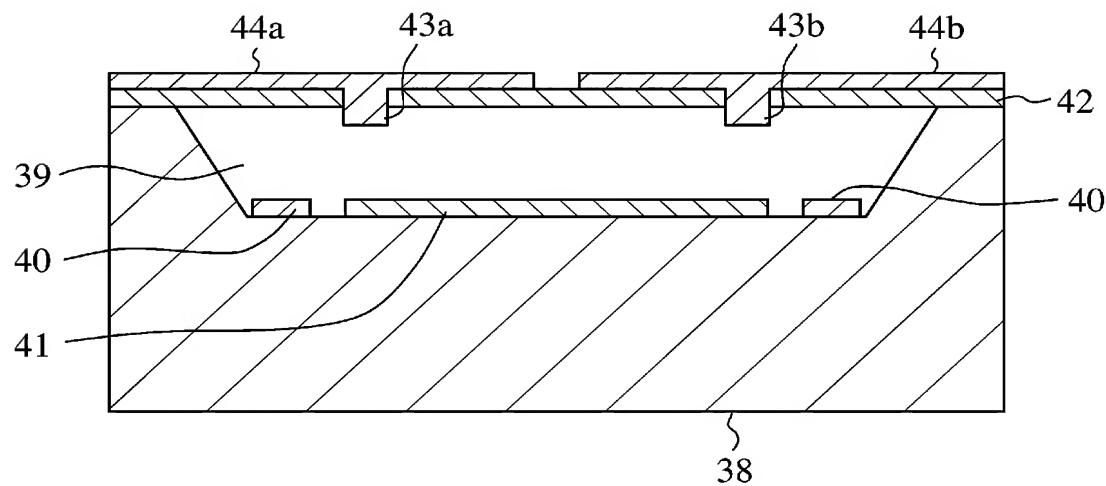
[図12]



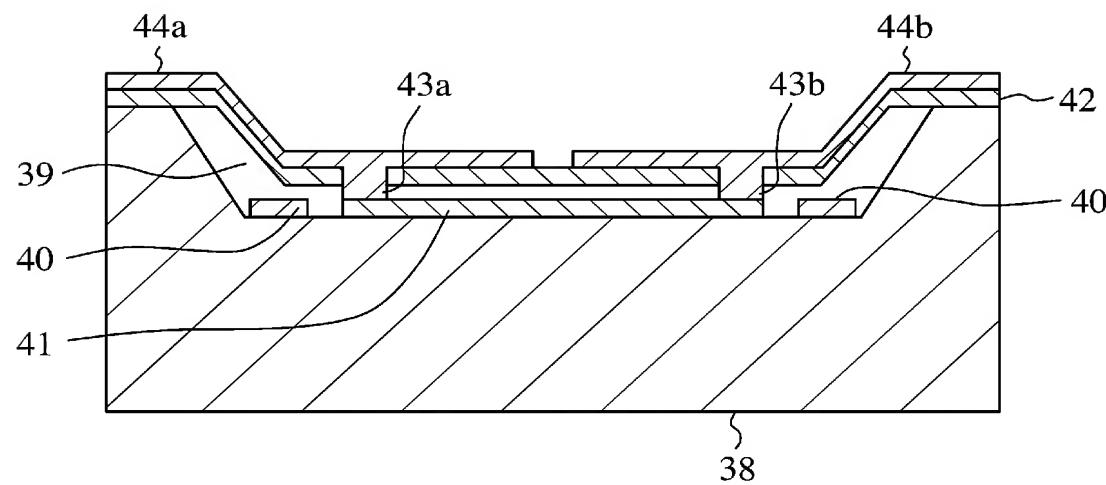
[図13]



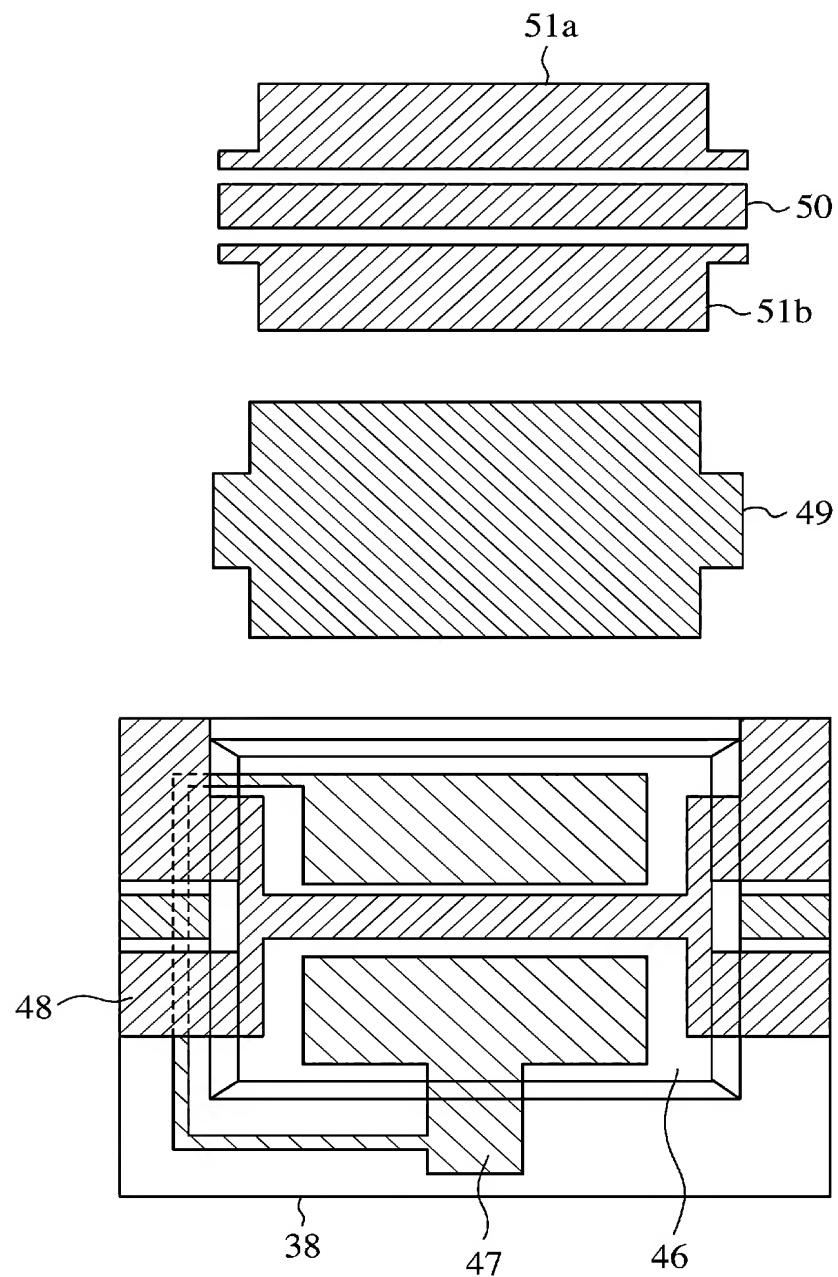
[図14]



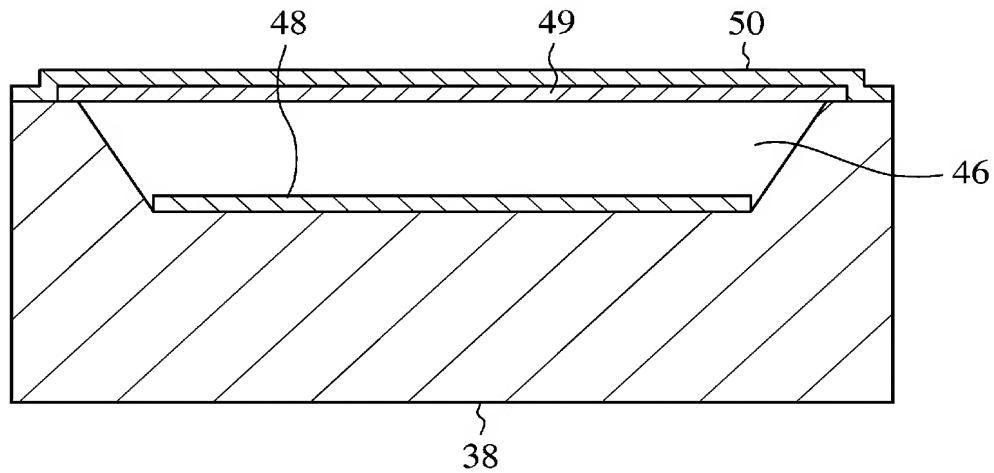
[図15]



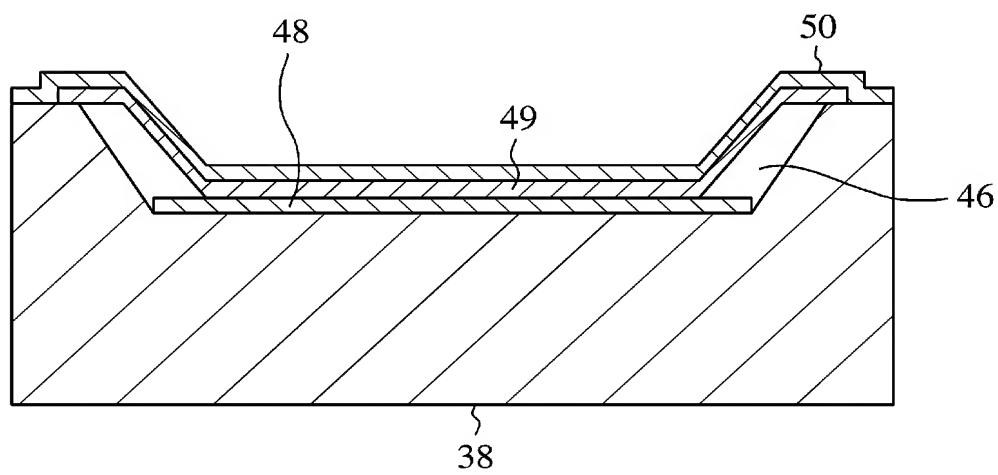
[図16]



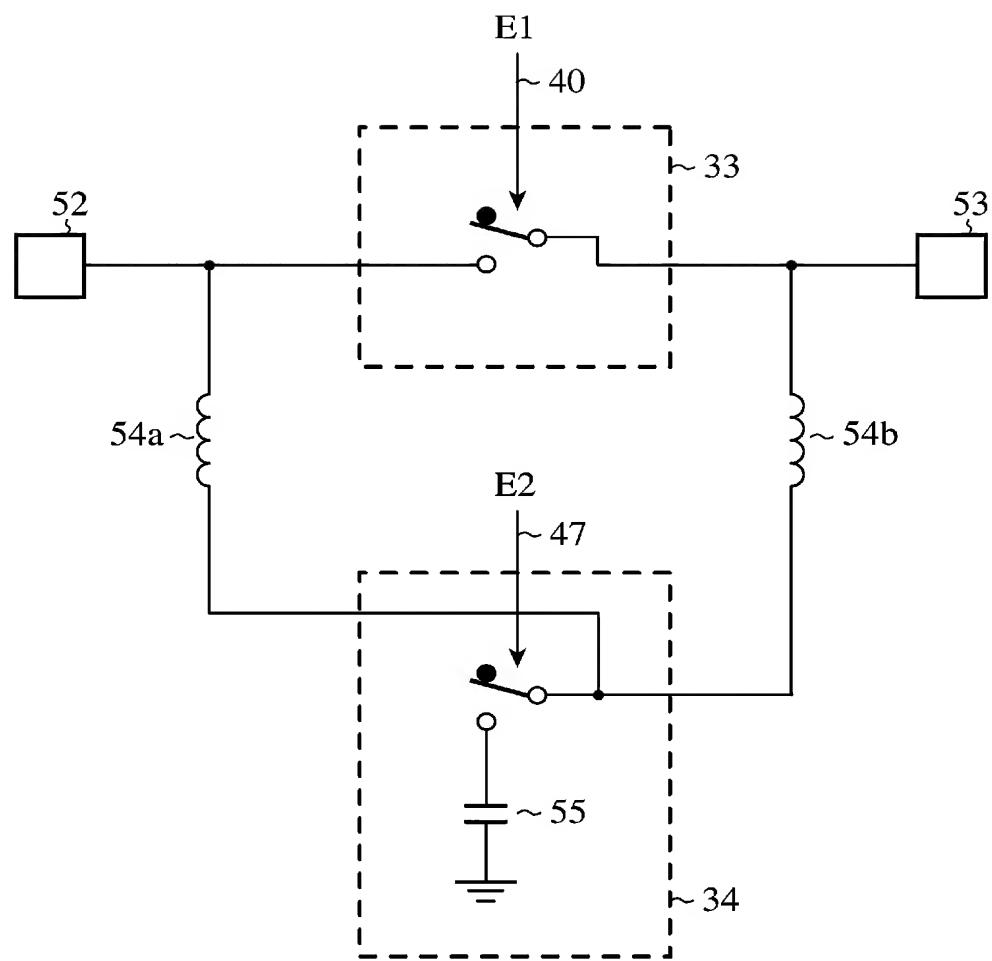
[図17]



[図18]

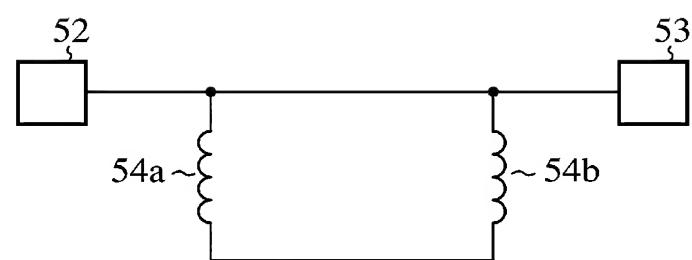


[図19]

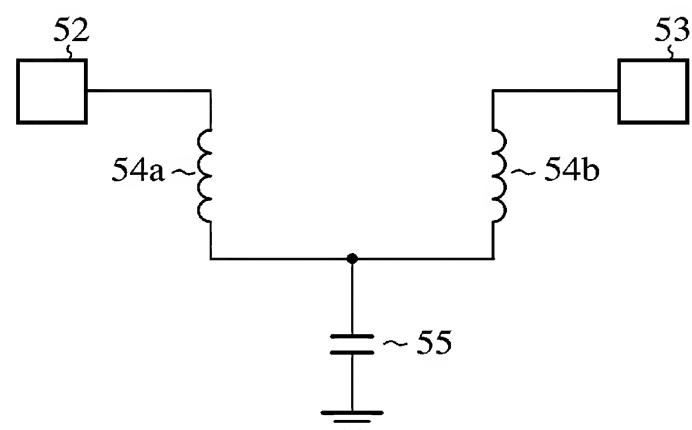


[図20]

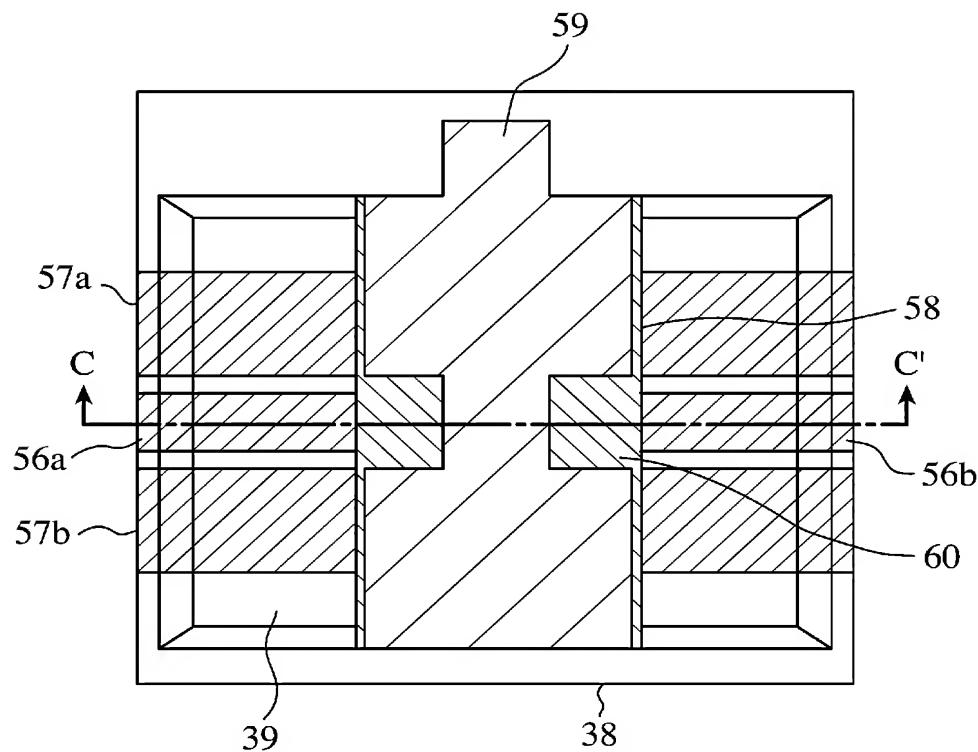
(a)



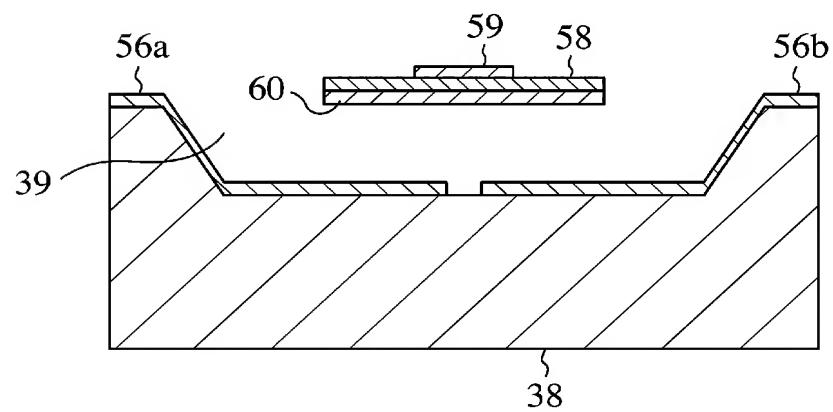
(b)



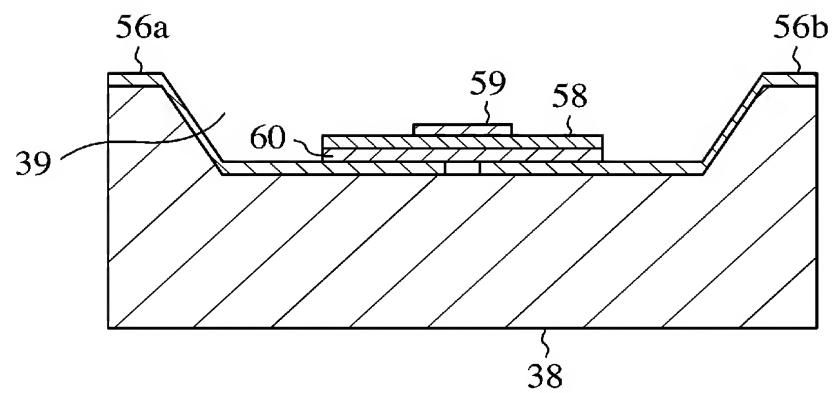
[図21]



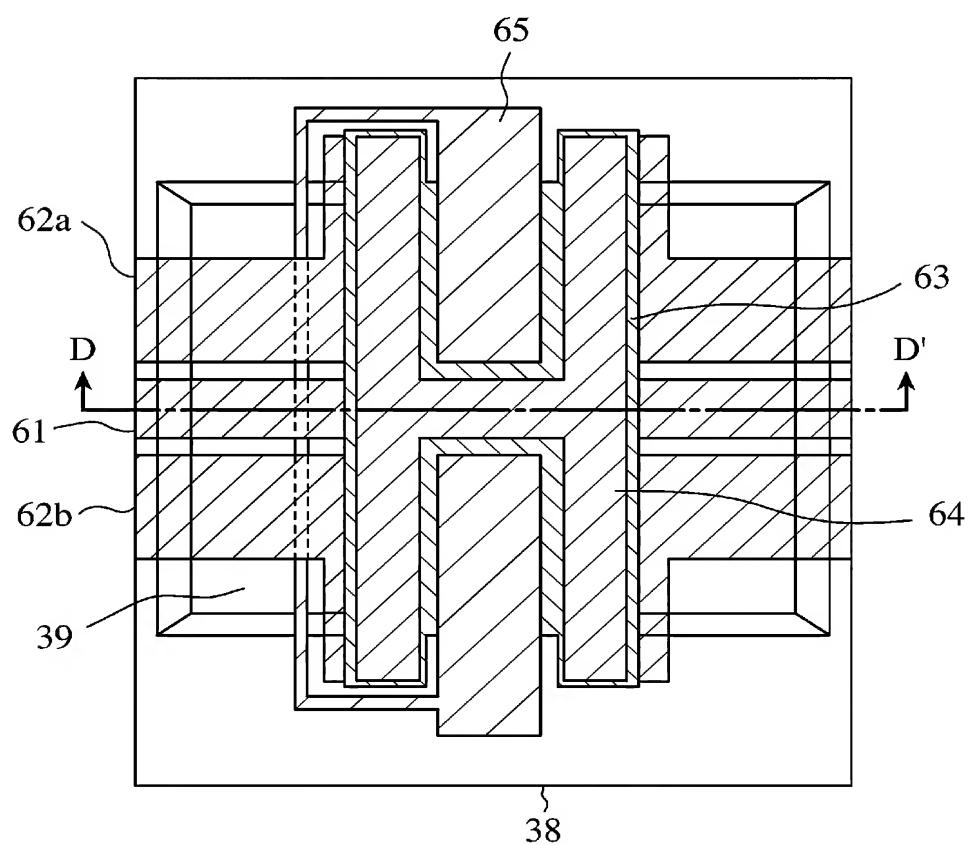
[図22]



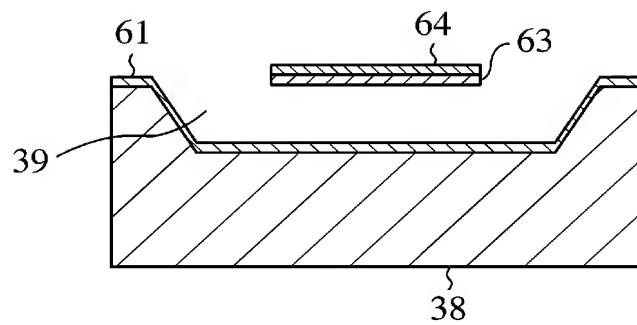
[図23]



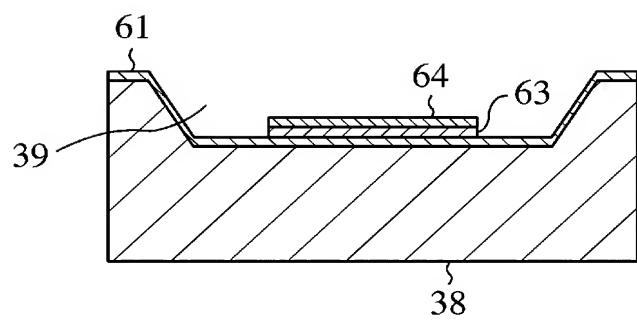
[図24]



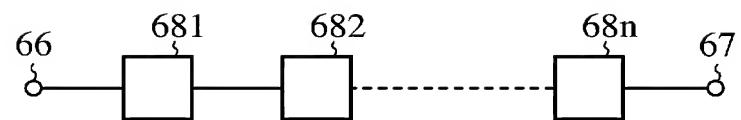
[図25]



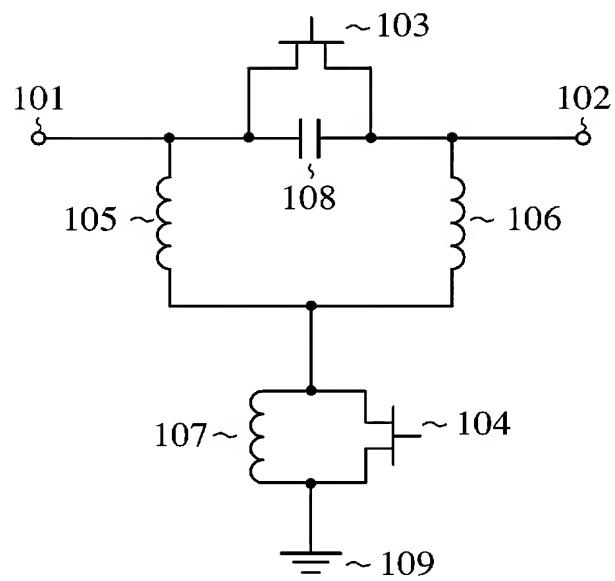
[図26]



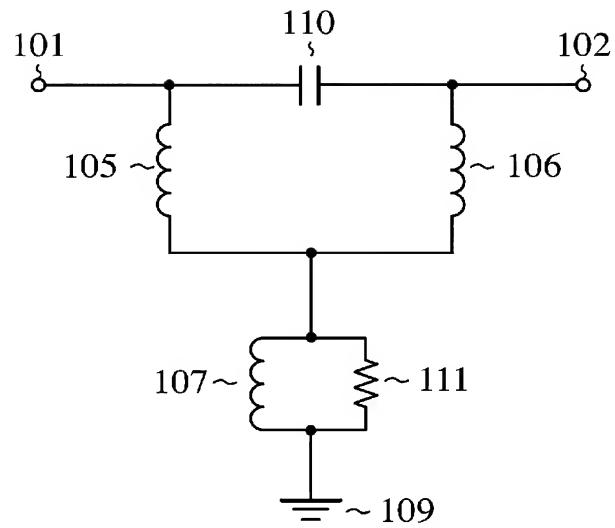
[図27]



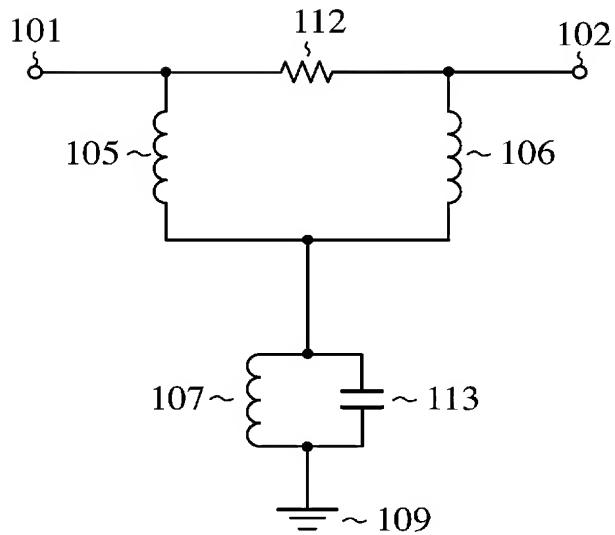
[図28]



[図29]



[図30]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/010666

A. CLASSIFICATION OF SUBJECT MATTER

 Int.Cl⁷ H03H7/20, H01P1/12, H01H59/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

 Int.Cl⁷ H03H7/20, H01P1/12, H01H59/00, H03H7/18, H03H11/18, H03H11/20,
H03H7/24

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

 Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
WPI/L, JOIS

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 1-202007 A (Toshiba Corp.), 15 August, 1989 (15.08.89), Page 3, upper left column, line 3 to lower left column, line 5; Figs. 1, 2 (Family: none)	9 1-8, 10-19
Y	JP 48-102548 A (NEC Corp.), 22 December, 1973 (22.12.73), Page 2, upper right column; Fig. 5 (Family: none)	1
Y	JP 2001-339276 A (Mitsubishi Electric Corp.), 07 December, 2001 (07.12.01), Par. Nos. [0017] to [0019]; Figs. 2 to 4 (Family: none)	1

 Further documents are listed in the continuation of Box C.

 See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	"&" document member of the same patent family

 Date of the actual completion of the international search
15 October, 2004 (15.10.04)

 Date of mailing of the international search report
02 November, 2004 (02.11.04)

 Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/010666

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 8-250963 A (Mitsubishi Electric Corp.), 27 September, 1996 (27.09.96), Par. Nos. [0069] to [0071], [0078] to [0080] & EP 732808 A2 & US 5701107 A & DE 69628607 E	2
Y	JP 2002-344201 A (Mitsubishi Electric Corp.), 29 November, 2002 (29.11.02), Figs. 1, 7 & WO 2002/93743 A1 & US 2004/0145429 A1	3, 4
Y	WO 2002/056467 A1 (Mitsubishi Electric Corp.), 18 July, 2002 (18.07.02), Page 8, lines 3 to 24; Fig. 7 & US 2003/0020563 A1 & EP 1351388 A1	5-8
Y	Masashi NAKATANI et al., "Bisai Kako Cavity Kozo o Mochiita CPW MEMS Switch no Sekkei", 2003 Nen The Institute of Electronics, Information and Communication Engineers Electronics Society Taikai Koen Ronbunshu 1, 10 September, 2003 (10.09.03), C-2-2, page 26, full text, all drawings	10, 12
Y	JP 2004-48176 A (Mitsubishi Electric Corp.), 12 February, 2004 (12.02.04), Full text; all drawings (Family: none)	10, 11, 13
A	CD-ROM of the specification and drawings annexed to the request of Japanese Utility Model Application No. 68461/1993 (Laid-open No. 33026/1995) (Japan Radio Co., Ltd.), 16 June, 1995 (16.06.95), (Family: none)	1-19

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. C17 H03H7/20 H01P1/12 H01H59/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. C17 H03H7/20 H01P1/12 H01H59/00 H03H7/18
H03H11/18 H03H11/20 H03H7/24

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2004年
日本国登録実用新案公報 1994-2004年
日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)
WPI/L, JOIS

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 1-202007 A (株式会社東芝) 1989.08.15 第3頁左上欄第3行一同頁左下欄第5行, 第1, 2図 (ファミリーなし)	9
Y	JP 48-102548 A (日本電気株式会社) 1973.12.22 第2頁右上欄, 第5図 (ファミリーなし)	1-8, 10-19
Y		1

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

15.10.2004

国際調査報告の発送日

02.11.2004

国際調査機関の名称及び先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小林 正明

5W 4241

電話番号 03-3581-1101 内線 3574

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2001-339276 A (三菱電機株式会社) 2001. 12. 07 第【0017】欄-第【0019】欄, 第2-4図 (ファミリーなし)	1
Y	JP 8-250963 A (三菱電機株式会社) 1996. 09. 27 第【0069】欄-第【0071】欄 第【0078】欄-第【0080】欄 & EP 732808 A2 & US 5701107 A & DE 69628607 E	2
Y	JP 2002-344201 A (三菱電機株式会社) 2002. 11. 29 第1, 7図 & WO 2002/93743 A1 & US 2004/0145429 A1	3, 4
Y	WO 2002/056467 A1 (三菱電機株式会社) 2002. 07. 18 第8頁第3-24行, 第7図 & US 2003/0020563 A1 & EP 1351388 A1	5-8
Y	半谷政毅他, 微細加工キャビティ構造を用いたCPW MEMSスイッチの設計, 2003年電子情報通信学会エレクトロニクスソサイエティ大会講演論文集1, 2003. 09. 10, C-2-2, p. 26, 全文, 全図	10, 12
Y	JP 2004-48176 A (三菱電機株式会社) 2004. 02. 12 全文, 全図 (ファミリーなし)	10, 11, 13
A	日本国実用新案登録出願5-68461号 (日本国実用新案登録出願公開7-33026号) の願書に添付した明細書及び図面の内容を記録したCD-ROM (日本無線株式会社) 1995. 06. 16 (ファミリーなし)	1-19